

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-212415

(43)Date of publication of application : 25.08.1989

(51)Int.Cl.

H01F 17/06  
H01G 4/40  
H03H 7/075

(21)Application number : 63-038162

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 19.02.1988

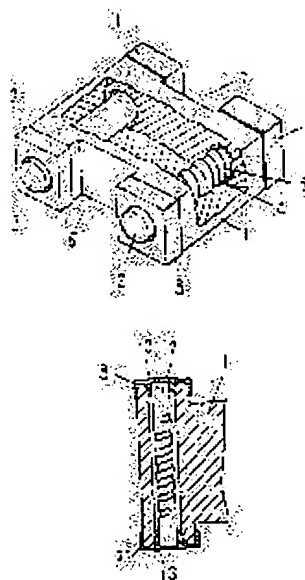
(72)Inventor : KAWAGUCHI CHIHIRO  
TAGI HIROMITSU(54) COMPOSITE INDUCTANCE ELEMENT AND COMPOSITE ELECTRONIC PARTS  
USING THE SAME

(57)Abstract:

PURPOSE: To prevent the adhesion of conductive paste spreading over between lead-out terminals by a method wherein recesses are formed on the part pinched by the inlets of the through hole of a magnetic block.

CONSTITUTION: Two inlets are formed on the end face of a ferrite core 1, a recess 6 is formed on the part pinched by the two inlets located on one end face, and also another recess 7 is formed on the part pinched by the two inlets located on the other end face respectively.

Also, lead-out terminals 8W11 are provided on the circumference of the inlet part of the end part of a through hole respectively. Accordingly, when conductive paste 13 is spread between the end part of the conductive members 2 and 3, to be inserted into the through hole, and the lead-out terminals 8W11 to be formed on the circumference of the inlet, the conductive paste 13 is not adhered to the bottom of the recessed parts 6 and 7, and the recesses 6 and 7 work in such a manner that the conductive paste 13 is cut off between the lead-out terminals 8 and 10, and 9 and 11. As a result, the adhesion of the conductive paste 13 spreading over between the lead-out terminals 8 and 10, and also between the terminals 9



and 11 can be prevented.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-212415

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月25日

H 01 F 17/06  
H 01 G 4/40  
H 03 H 7/075

3 2 1

6447-5E  
7048-5E

A-7328-5J 審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 複合インダクタンス素子および複合インダクタンス素子を用いた複合電子部品

⑯ 特 願 昭63-38162

⑰ 出 願 昭63(1988)2月19日

⑱ 発 明 者 川 口 千 廣 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 多 木 宏 光 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

複合インダクタンス素子および複合インダクタンス素子を用いた複合電子部品

2. 特許請求の範囲

(1) 磁性体ブロックに複数の貫通孔を平行に形成するとともに上記貫通孔の入口周囲に導出端子を形成し、絶縁体の表面に導体膜を形成した導電部材をそれぞれ上記貫通孔に挿入するとともに上記導電部材の端部と上記導出端子とを導電ペーストによって接続し、上記磁性体ブロックの上記入口に挟まれた部分に凹部を形成した事、を特徴とする複合インダクタンス素子。

(2) 磁性体ブロックに複数の貫通孔を平行に形成するとともに上記貫通孔の入口周囲に導出端子を形成し、絶縁体の表面に導体膜を形成した導電部材をそれぞれ上記貫通孔に挿入するとともに上記導電部材の端部と上記導出端子とを接続し、上記磁性体ブロックの上記入口に挟まれた部分に凹部を形成し、上記磁性体ブロックの第1の面および

上記第1の面と反対側の第2の面にそれぞれ端子を形成するとともに上記凹部の底に上記端子を互に導通させる配線用導電箔を形成した事を特徴とする複合インダクタンス素子。

(3) 磁性体ブロックに複数の貫通孔を平行に形成するとともに上記貫通孔の入口周囲に導出端子を形成し、絶縁体の表面に導体膜を形成した導電部材をそれぞれ上記貫通孔に挿入するとともに上記導電部材の端部と上記導出端子とを接続し、上記磁性体ブロックの上記入口に挟まれた部分に凹部を形成し、上記磁性体ブロックの第1の面および上記第1の面と反対側の第2の面にそれぞれ端子を形成するとともに電子部品を上記磁性体ブロック上に同電子部品の端子と上記第1の面上の端子とが接続されるように固定し、上記凹部の底に上記端子を互に導通させる配線用導電箔を形成した事を特徴とする複合電子部品。

3. 発明の詳細な説明

産業上の利用分野

本発明はフィルタ装置等のチップ型の複合電子

部品および同様な複合電子部品に適用される複合インダクタンス素子に関するものである。

#### 従来の技術

デジタル回路の信号線にパルス性信号が伝送される際、急激な立ち上がり、立ち下がり波形に高い周波数成分の高調波を含んでいるので、これがテレビ受像器等の受信障害などを引き起こす場合がある。また急激な電圧印加の際のオーバーシュートやアンダーシュートなどによってノイズが生じ、それがデジタル回路を誤動作させたりする。ノイズを除去する目的で信号線等に挿入して用いられるノイズフィルタとしては、インダクタだけのものや、インダクタとコンデンサとを組み合わせたローパスフィルタを構成したものなどがある。

第9図は従来のノイズフィルタを示すものである。インダクタだけで構成されたものである。36はフェライトコアで、貫通孔37と貫通孔38が設けられている。貫通孔37及び貫通孔38の一端側の入口部にはそれぞれ導出端子39及び導出端子40が導電箔によって形成され、また、他

端側には両入口部間にまたがるように接続端子41が導電箔によって形成されている。そして、貫通孔37、38の内壁面には全面にわたって導電膜が被着形成されている。すなわちフェライトコア36の中に筒状の導電線路42及び導電線路43が構成されている。そして、導電線路42の両端は導出端子39と接続端子41に導通し、導電線路43の両端は導出端子40と接続端子41に導通している。Φ1は導電線路42の電流によって生じる磁束を、Φ2は導電線路43の電流によって生じる磁束を示す。

以上のように従来はフェライトコアの貫通孔の内壁に導電箔を被着形成することによって導電線路を設けるというものであり、上記導電線路に生じるインダクタンスによってノイズフィルタが構成されていた。

第10図はその等価回路を示すものである。第10図において、44は導電線路42によるインダクタ、45は導電線路43によるインダクタである。第11図は第9図に示した複合インダクタ

ンス素子にチップコンデンサ48を付加したものであり、インダクタとコンデンサとからなるローパスフィルタが構成されている。フェライトコア36の外面にチップコンデンサ46を被着し、一方の端子47と接続端子41とを接続し、第12図に示されるようなT型ローパスフィルタを構成している。49はチップコンデンサ48の端子48をフェライトコア36の底面に設けられたアース側電極端子（図示せず）に接続させるための配線用導電箔である。このようにコンデンサを付加すると、コンデンサのバイパス作用によってインダクタだけのフィルタよりもフィルタ効果は向上する。

ところで前従来例のものは同一フェライトコアに設けられた貫通孔内に同じ工程にて同時に形成された導電箔を利用して構成されたものであり、双方はほぼ同じ特性を示す事となる。従って双方のインダクタを組み合わせて所望の周波数特性を実現しようとしても、双方が常に同じ特性しか示さないものであれば、設計上大きな制限が生じる

こととなり、例えばフィルタに応用した場合には、周波数特性等を希望通りの特性に一致させるのに無理がある。そこで、貫通孔内壁の導電箔によって導電線路を形成する代りに複数の貫通孔のそれぞれに導電部材を挿入することによって導電線路を構成し、それによって一体のフェライトコア中に複数のインダクタを構成した複合インダクタンス素子が考えられる。このものでは、導電部材の端部と上記入口の周囲に形成された導出端子とは導電ペーストによって接続される。このような構成にすれば、同一フェライトコア中に多種類の導電部材を被着することが可能となり、同一フェライトコア中にそれぞれ特性の異なる複数のインダクタンス素子を構成することが可能となる。

従って非常に小さなチップでありながら、高精度インダクタンス素子を内蔵することができ、例えばフィルタ装置として応用するならば、小型ながら希望にそった周波数特性を実現したチップ型フィルタ装置を作ることができる。

発明が解決しようとする課題

このような従来のインダクタンス素子では、例えば第11図および第12図に示されるようにフェライトコアの上にチップコンデンサ等に乗せてフィルタ装置等の複合電子部品を構成する場合、第11図のようにチップコンデンサ46の二つの端子の内の少なくとも一方の端子をフェライトコア36の底面に設けられたアース側電極端子(図示せず)に接続させる必要がある。しかし、そのためにはフェライトコア21の上面から底面にかけて配線用の導電層49を形成する必要がある。ところが導電層49とフェライトコア36内の導電線路42と導電線路43との間に浮遊容量が生じてしまったり、導電層49の距離が長くなればそこにインダクタンスが生じたりして、これらが特性の劣化をもたらす場合があった。その対策としては、例えば導電層49と導電線路42、43との間に浮遊容量が生じないようにするために、アース用導電層をフェライトコア36の中央に形成し、例えば導出端子39と導出端子40との間を通すことも考えられ、今度は導出端子39及

び導出端子40と上記アース用導電層とが接近してしまうこととなり、双方の間に浮遊容量が生じることにつながる。

また、従来例における導電線路42、43のかわりに複数の貫通孔のそれぞれに導電部材を挿入し、導電部材の端部と上記貫通孔の入口の周囲に形成された導出端子とを導電ペーストによって接続させる構成の複合インダクタンス素子においては、その製造工程内の導電ペーストを被着させる工程では、工数削減のため隣り合う導出端子とともに導電ペースト面りに渡り込む方法を探るのが望ましい。しかし、この際上記導電ペーストが双方の導出端子の間にまたがって付着する可能性があった。

#### 課題を解決するための手段

本発明は以上の問題点を解決するため、貫通孔を平行に形した磁性体ブロックの上記貫通孔の入口に挟まれた部分に凹部を形成した。

#### 作用

以上のように構成することにより、その製造の

際に、貫通孔に挿入された導電部材の端部と入口の周囲に形成された導出端子との間に導電ペーストを被着させる際に、凹部の底には導電ペーストが付着せず、上記凹部が双方の導出端子間にて導電ペーストを切り離すように作用する。

#### 実施例

以下、本発明における複合インダクタンス素子および同複合インダクタンス素子を用いて構成されたフィルタ装置の実施例を図面に基づいて説明する。

第1図において、1はフェライトによってブロック状に構成されたフェライトコアであり、2ヶ所に貫通孔を備えている。2および3はフェライトコア1の貫通孔に挿入された棒状の導電部材である。導電部材2および3は外径が約1mmほどの大きさのフェライト棒に導体膜としてニッケル下地メッキを施し、更に銅メッキを3~6ミクロン施してある。そして、導電部材2の方には表面に削り加工によって溝4が形成されている。このように溝を形成すると、溝の部分では導体膜が削り

取られた状態となり、電流はその路に形成される帯状導電部に集中する事となる。例えば溝4の幅を約0.08mmほどにし、また溝4に沿って形成される帯状導電部5の幅を約0.2~0.3mmとし、この幅の帯状導電部5を8回ほど巻き付けた状態となるように溝彫り加工を施すと、導電部材2の両端の間の直流抵抗値が1~2Ω程度になる。導電部材3は前述のように基本的な構成は導電部材2とほぼ同様であるが、導電部材3の表面には溝等は形成されていない。

6および7はフェライトコア1に形成された凹部である。フェライトコア1の端面には二つの入口が形成されることとなり、例えば凹部6は一方の端面の二つの入口に挟まれた部分に、また凹部7は他方の端面の二つの入口に挟まれた部分にそれぞれ形成される。

8、9、10、11はそれぞれフェライトコア1上に導電層を被着することによって形成された導出端子であり、それぞれ貫通孔端部の入口部周囲に設けられている。第2図に切断した状態を示

す。第2図において、13は導電部材2と導出端子8、9との間を導電可能にする導電ペーストである。

第3図は以上のような構成の複合インダクタンス素子を用いて作ったフィルタ装置を示すものである。第3図において14はチップコンデンサ、15はチップ抵抗器であり、それぞれフェライトコア1に固定されている。16および17はチップコンデンサ14と接続する導電箔であり、フェライトコア1上に形成されている。第4図は同フィルタ装置の底面を示すものである。第4図において18はフェライトコア1の裏面に形成されたアース端子用の導電箔である。導電箔16は凹部6の底部に形成された導電箔19を介してアース端子用の導電箔18に接続されている。また導電箔17は導出端子9に接続されている。チップコンデンサ14の両端の導出端子20、21はそれぞれ導電ペーストによって導電箔16および導電箔17に接続されている。チップ抵抗器15は凹部7の内に收容されており、チップ抵抗器15の

両端の端子22、23はそれぞれに導出端子9と導出端子11に接続されている。

第5図は上記フィルタ装置の等価回路を示すものである。第5図においてL1は導電部材2によって構成されたインダクタンス分、L2は導電部材3によって構成されたインダクタンス分、Rはチップ抵抗器15による抵抗分、Cはチップコンデンサ14によって構成されたキャパシタンス分である。24は導出端子10によって構成された入力端子、25は導出端子8によって構成された出力端子、26はアース端子である。

ここで、本実施例におけるフィルタ装置の周波数特性を第6図に基づいて説明する。第6図において、27はチップ抵抗器15の抵抗値を5Ωとした場合の周波数特性、28はチップ抵抗器15の抵抗値を50Ωとした場合の周波数特性である。このように抵抗値を大きくすると、低い周波数から高い周波数にかけて純抵抗成分を増加せさせた特性にすることが出来る。なお、29は従来のフィルタ装置の特性である。本実施例では、フェ

ライトコア1上に他の工程にて独立して構成されたチップ抵抗器15やチップコンデンサ14を搭載し、これらのチップ部品とフェライトコア1内に構成されたインダクタンス素子とを組み合わせでフィルタ装置を構成したものであり、フェライトコア上に搭載するチップ抵抗器やチップコンデンサの大きさ値を変えれば、フェライトコアを共用して特性が異なる多種類のフィルタ装置を作ることが出来る。また本実施例では、チップ抵抗器15が凹部7内に收容出来るようになっている。

このようにすると、チップ抵抗器15の端子と導出端子9、11とを最短距離で接続することが出来、その分特性の劣化を抑えることが出来る。

また、チップコンデンサ14の端子とフェライトコア1の底面に形成されたアース端子とを結ぶ導電箔はフェライトコア1内の導電部材2、3との間に浮遊容量が生じないようになるべく導電部材2、3から離してフェライトコア1の中央に形成するのが望ましい。そのため、本実施例では導電箔19は導出端子8と導出端子10との間に配

置されている。この部分は凹部6の底部でもあり、結果的に導電箔19は導出端子8および導出端子10より後退した位置に形成されることとなる。

以上の実施例では、フェライトコア1の両面に凹部6と凹部7をそれぞれ形成したことにより、フェライトコア1の上面と底面の間を導電箔で結ぶのに一方の凹部のみを利用すると、他方の凹部を利用してチップ部品を收容したりすることが出来る。

なお以上の実施例では直接プリント配線板上に装着可能なチップ型に構成したものであるが、第7図および第8図に示すようにリード端子を備えたリード端子付き部品とすることも出来る。第7図において、30および31はそれぞれ導電部材2および導電部材3に接続されるリード端子である。リード端子30、31の端部には切り欠き32および切り欠き33が形成され、それぞれ導電部材2および導電部材3の端部にはまり合うようになっている。34はアース用のリード端子である。リード端子30、31、34はともに金属板

を打ち抜き加工することによって構成されている。リード端子34の端部はL字状に曲げられており、端面35が導電箔19に当たるようにフェライトコア1上に固定される。リード端子30、31、34を取り付けた後は第8図に示されるように主要部を合成樹脂によってモールドする。

リード端子34と導電箔19との接合部は図部6の底に有るので、その位置はリード端子30の接合部とリード端子31の接合部とを結んだ線に対してずれる事となる。従って、リード端子30、31、34をプリント基板上に固定した状態でフェライトコア1に第7図に示される矢印Aの方向に力をかけても、折り曲げ力がリード端子30、31、34の各々の接合部に集中することがなく、これらの接合部にて折れてしまうのを防ぐことができる。

#### 発明の効果

以上のように本発明は、磁性体ブロックの貫通孔入口に挟まれた部分に図部を形成したことにより、製造段階において導電ペーストを接着させる

際、上記図部の底には導電ペーストは付着しないので、結果的に上記図部が双方の導出端子の間に付着しようとする導電ペーストを切り離すように作用する事となり、導出端子の間に上記導電ペーストがまたがって付着する事がない。従って導電ペースト接着工程においては、双方の導出端子を同時に導電ペースト廻りに漬ける方法を取ることが出来、作業能率が非常に向上することとなる。

また、同様な構成の複合インダクタンス素子に他の電子部品を固定することによって複合電子部品を構成する場合において、上記他の電子部品と接続する端子と上記磁性体ブロックの底面に形成された端子とを導通させるための配線用導電箔を上記図部の底に形成したことにより、配線用導電箔はたとえ隣り合う導出端子の間に配置されていても、上記導出端子より後退した位置であり、双方の導出端子の間隔が非常に接近していても同導出端子と上記導電箔とは離れて配置される事となり、双方の間に生じる浮遊容量は非常に少なくて済む。

#### 4. 図面の簡単な説明

第1図は本発明の実施例における複合インダクタンス素子の斜視図、第2図は同複合インダクタンス素子の部分断面図、第3図は本発明における複合電子部品の実施例として同複合インダクタンス素子を応用したフィルタ装置の斜視図、第4図は同フィルタ装置の底面を見せた斜視図、第5図は同フィルタ装置の等価回路図、第6図は同フィルタ装置の周波数特性を示す図、第7図は本実施例においてフィルタ装置にリード端子を付ける場合を示す分解斜視図、第8図はリード端子を付けたフィルタ装置の斜視図、第9図は従来の複合インダクタンス素子の斜視図、第10図は同複合インダクタンス素子の等価回路図、第11図は同複合インダクタンス素子を応用したフィルタ装置の斜視図、第12図は同フィルタ装置の等価回路図である。

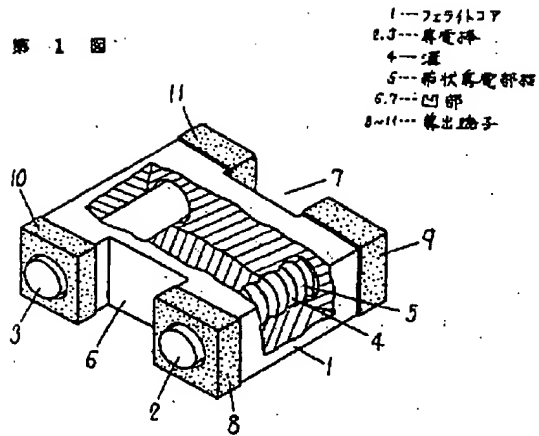
8, 9, 10, 11…導出端子

13…導電ペースト

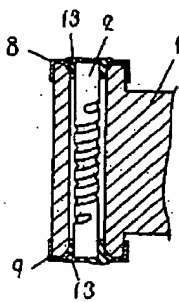
代理人の氏名 弁理士 中尾敏男 ほか1名

1…フェライトコア      2, 3…導電部材  
4…溝                      6, 7…図部

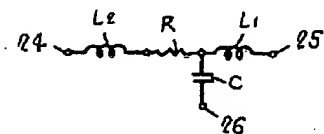
第 1 図



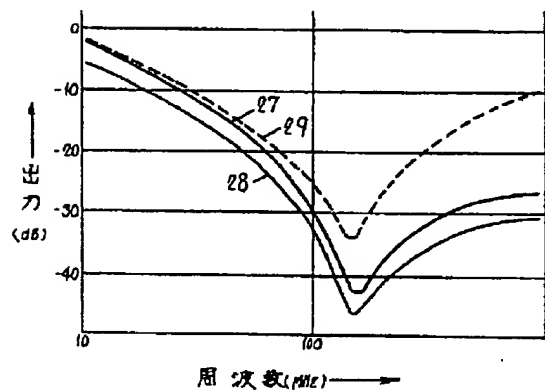
第 2 図



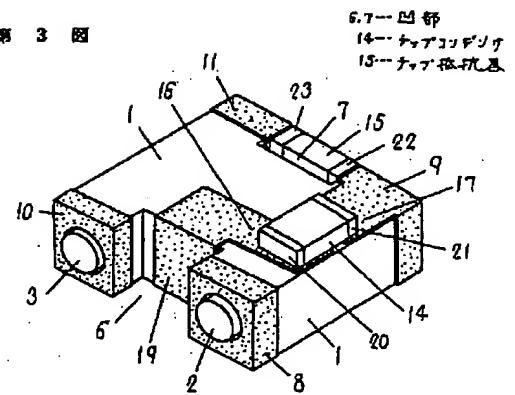
第 5 図



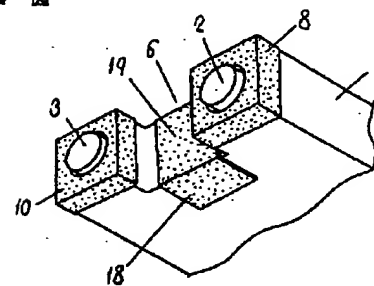
第 6 図



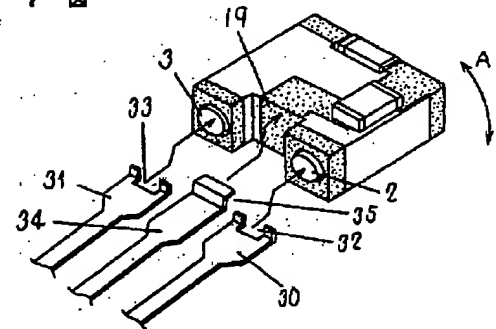
第 3 図



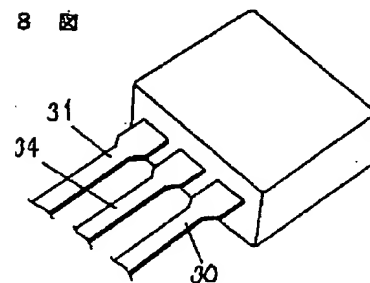
第 4 図



第 7 図

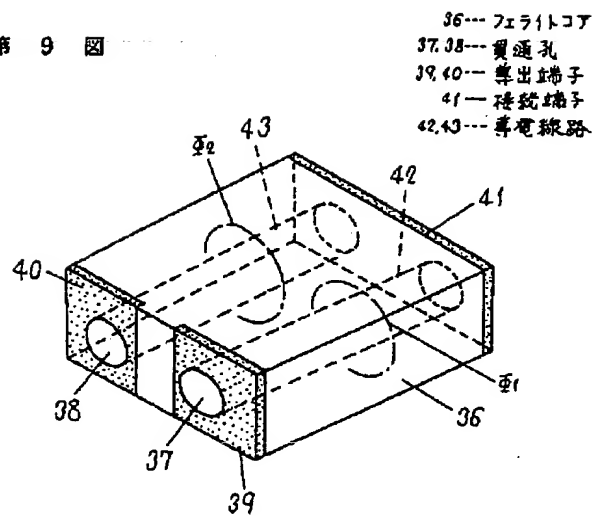


第 8 図





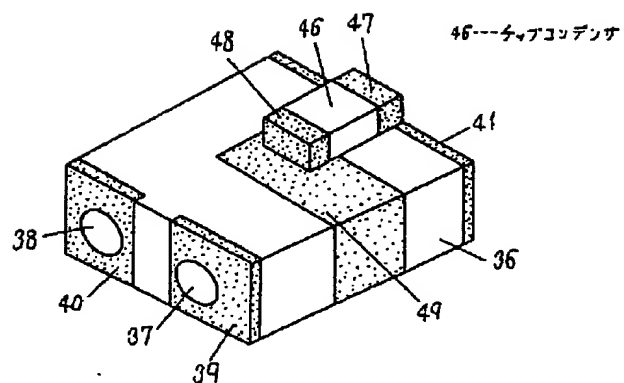
第 9 図



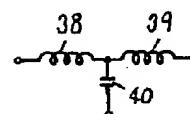
第 10 図



第 11 図



第 12 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**